

CI210 - Projetos Digitais e Microprocessadores

- Orientações para Aula Prática 1 -

Profa. Michele Nogueira - michele@inf.ufpr.br
Monitora: Juliana Franchi - jufranchi5@gmail.com

¹Departamento de Informática - NR2/UFPR

Siga as orientações abaixo na aula prática do dia 17/04/2012.

Esta prática será supervisionada pela monitora Juliana Franchi. Porém, o papel maior da monitora é tirar dúvidas, sendo o compromisso e a seriedade de execução desta prática necessários pelos alunos.

Orientações Gerais

- A aula prática será no LAB-04 do DINF de 13h30 às 15h.
- Os alunos devem se dividir em DUPLAS.
- A prática será em VHDL (*Very High Speed Integrated Circuit Hardware Description Language*).
- Não é necessário instalar o ambiente para trabalho em VHDL nas máquinas do LAB-04, normalmente, ele já está instalado.
- O VHDL será utilizado para a elaboração do projeto final, então utilizem esta aula para se familiarizar com ele.

Objetivo

Na aula do dia 20/03, abordamos em sala o assunto 'somador'. Esta aula do dia 17/04 tem como objetivo prática este conceito importante para os microprocessadores. Particularmente, nesta aula, os alunos estudarão a modelagem de temporização com VHDL e o projeto de somadores com cadeia de adiantamento de vai-um.

Preparação

É desejável que o aluno já tenha tido alguma noção de VHDL na disciplina de circuitos. Porém, caso o aluno não tenha este conhecimento, ele pode se antecipar à aula e estudar um pouco o funcionamento do VHDL. Nesta aula, nós utilizaremos as ferramentas GHDL e o GTKWave. De forma breve, o GHDL é um compilador para a linguagem VHDL, enquanto o GTKWave consiste em um visualizador de arquivos VCD produzidos pelo GHDL. O GTKWave permite ver as ondas dos sinais, sendo uma forma de teste em um projeto de circuito. Um outra forma de checar o projeto de um circuito é através de um teste bench.

Links a verificar ANTES da aula (se você não verificou antes da aula, reserve 10 minutos para eles durante a aula):

GHDL - <http://ghdl.free.fr/ghdl/Starting-with-GHDL.html#Starting-with-GHDL>

GTKWave - <http://calypso.inesc-id.pt/FCUL/inst/docs/IcarusVerilogNotas-v1.0.pdf>

(Veja a seção "VISUALIZAÇÃO")

Orientações para aula de hoje

Siga os seguintes passos:

- Após entrar na sua conta em uma das máquinas do LAB-04 do DINF, baixe o pacote 'l_somador.tgz', elaborado pelo professor Roberto Hexsel, do link: http://www.inf.ufpr.br/roberto/ci210/l_somador.tgz.
- Descompacte o arquivo.
- Abra e leia o arquivo 'LEIA-ME'.
- Siga as orientações descritas no arquivo 'LEIA-ME', basicamente você deve: (1) estudar e entender a diferença entre os modelos adderAdianta16 e adderAdianta4, e (2) adicionar casos de teste ao arquivo tb_adder.vhd para verificar a correteza dos modelos. Acrescente tantas tuplas quantas forem necessárias ao vetor test_vectors para que se possa ter um mínimo de confiança no projeto.

Informações finais

- Para executar o código, utilize o script 'run.sh'.
- Qualquer dúvida pergunte à monitora.