

Universidade Federal do Paraná
CI210 - Projetos Digitais e Microprocessadores
Primeira Lista de Exercícios
03/04/2012

Observações Gerais:

- Lista vale 10 pontos (extras) se, e somente se, todas as respostas estiverem respondidas corretamente.
- Os pontos serão contabilizados apenas na “primeira prova”. Se perdeu a primeira prova, os pontos não poderão ser contabilizados, nem acumulados para outras provas ou trabalhos.
- Plágios não serão tolerados.
- Uma folha com as respostas deve ser entregue para cada grupo de no **máximo 4** (quatro) pessoas.
- Todos os alunos podem entregar a resolução da lista de exercício. Porém, como esta atividade foi realizada em aula, apenas os presentes na aula do dia 03/04/2012 poderão contabilizar os pontos extra (veja na página anúncios do sítio web da disciplina a listagem com os presentes na aula do dia 03/04/2012).
- **Entrega da lista – Terça, dia 10/04/2012 (não serão aceitas listas entregues fora desta data)**

1) Um circuito combinacional tem 4 entradas (i_0, i_1, i_2, i_3) e duas saídas (s_0, s_1). No mínimo, uma das 4 entradas está sempre ativa em 1. Se uma das entradas está ativa, as saídas apresentam o número correspondente ao índice da entrada ativa (se $i_2=1$ então $s_1, s_0=10$). Se duas ou mais entradas estiverem ativas ao mesmo tempo, as saídas apresentam o número da entrada de maior índice ($i_3 > i_2 > i_1 > i_0$). [Katz, ex4.20]

- a) Escreva a tabela verdade para esta função;
- b) Desenhe os mapas de Karnaugh para s_0, s_1 e encontre as funções booleanas minimizadas.

2) Projete um circuito deslocador com 8 bits na entrada ($e_i; i \in \{0..7\}$) e que permite deslocamentos de uma posição para a esquerda e para a direita (atenção com os bits de saída s_0 e s_7). Sua resposta deve conter o circuito que efetua os deslocamentos do bit s_i , bem como a composição de 8 destes circuitos para implementar o deslocador de 8 bits.

3) A função maioria produz saída 1 sempre que mais da metade de suas entradas estiver em 1. Implemente a função maioria para sete entradas (A,B,C,D,E,F,G) tal que a saída Q será um sempre que mais do que quatro entradas estiverem ativas. Implemente o circuito com três blocos. O bloco-1 recebe as entradas A, B, C e produz saídas V,W; o bloco-2 recebe as entradas E,F,G e produz saídas Y,Z; o bloco-3 tem cinco entradas que são V,W, Y,Z e X(=D). As blocos 1 e 2 são idênticos e suas saídas indicam o número de entradas ativas (V,Y MSB; W,Z msb), com base nestas entradas, o bloco-3 determina se quatro ou mais das entradas estão ativas. [Katz ex4.23]

- a) Encontre a soma de produtos para os blocos 1. As funções para V,W devem parecer familiares.
- b) Escreva a tabela verdade para o bloco-3.
- c) Preencha o mapa de Karnaugh para o bloco-3.

4) Multiplicador Combinacional (4 bits por 4 bits). Considere o produto de dois números de 4 bits, como mostrado abaixo. A conjunção de dois bits é representada por (a.b). Use somadores (half- e full adders) para implementar as somas que computam os bits do produto. [Katz sec5.5]

				a3 b3	a2 b2	a1 b1	a0 b0
			a3.b1	a3.b0	a2.b0	a1.b0	a0.b0
		a3.b2	a2.b2	a2.b1	a1.b1	a0.b1	
	a3.b3	a2.b3	a1.b3	a1.b2	a0.b2		
				a0.b3			
p7	p6	p5	p4	p3	p2	p1	p0

5) Projete um circuito com 2 entradas (A,B) e três saídas (Z,U,D). A saída ativa indica o número de bits na entrada ativos. Z=1 se A=B=0, D=1 se A=B=1. [Katz sec4.2]

6) A paridade de uma sequência de bits é a contagem de bits em UM na sequência. Se a paridade é ímpar em uma sequência com n-1 bits, então o bit de paridade(n-ésimo bit) deve ser tal que o número de bits em UM na sequência seja ímpar. Projete uma máquina de estados que computa a paridade ímpar de uma sequência de bits. Esta máquina de estados possui três entradas e uma saída: a entrada 'DTX' recebe a sequência de bits cuja paridade deve ser computada. A entrada 'clk' é o sinal que cadencia a operação do circuito. A saída 'parid' contém a paridade ímpar da sequência apresentada em 'DTX' até o tick anterior de 'clk'. A entrada 'reset' coloca a saída em zero.

a) Desenhe um diagrama de tempos mostrando a operação do circuito.

b) Faça um diagrama com o circuito e explique seu funcionamento.

7) Projete um circuito sequencial síncrono, com uma entrada de dados D, uma saída N com oito bits (contador), uma saída C (binária), uma entrada de relógio 'ck', e uma entrada de reset. Após o reset, sempre que o circuito detectar a sequência xx0111110xx a saída C deve produzir um pulso, e a saída N incrementada. Faça um diagrama detalhado de seu circuito (empregando, por exemplo, componentes da família 74xxx), e explique seu funcionamento. Não é necessário detalhar os componentes internos de circuitos com grau de complexidade menor que o de um contador.

entrada: 001110111110111110000000

saída: 000000000000100000100000